

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11)特許出願公開番号

**特開2006-41184**

(P2006-41184A)

(43) 公開日 平成18年2月9日(2006.2.9)

(51) Int.Cl.

**HO 1 F 17/00 (2006.01)**

F I

HO 1 F 17/00

HO 1 F 17/00

B

D

テーマコード (参考)

5 E 0 7 0

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願2004-218917 (P2004-218917)

(22) 出願日 平成16年7月27日 (2004. 7. 27)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市東神足1丁目10番1号

(74) 代理人 100093894

弁理士 五十嵐 清

(72) 発明者 松永 季

京都府長岡京市天神二丁目26番10号

株式会社村田製作所内

Fターム(参考)	5E070	AA01	AA11	AB02	CB01	CB04	
			CB13	EB01			

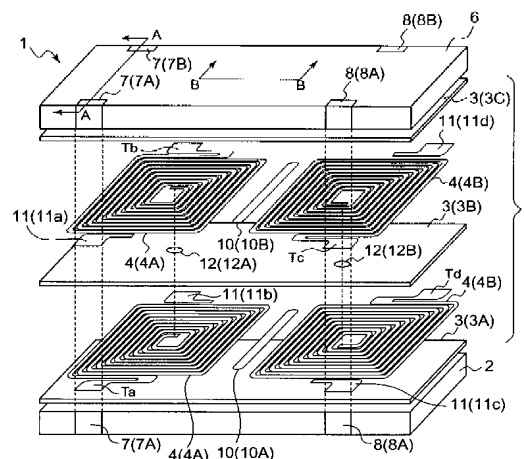
(54) 【発明の名称】 電子部品

(57) 【要約】

【課題】 電子部品1の電気的特性に対する信頼性の向上を図る。

【解決手段】 導電パターン４の形成層が絶縁層３を介しながら複数積層形成され加圧されて成る積層部５を備えた電子部品１であって、少なくとも１つの導電パターン形成層の層面には、電位の異なる複数の導電パターン４Ａ、４Ｂを絶縁間隙を介して配設すると共に、それら導電パターン４Ａ、４Ｂに電気的に接続されていない浮遊ダミーパターン１０を設ける。浮遊ダミーパターン１０は、同一層面上の電位の異なる導電パターン４Ａ、４Ｂ間の位置であって、かつ、別の導電パターン形成層に形成されている浮遊ダミーパターン１０あるいは導電パターンに重なり合う位置に配設する。

【撰扶図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

複数の導電パターン形成層が絶縁層を介しながら積層形成され加圧されて成る積層部を備えた電子部品であって、少なくとも 1 つの導電パターン形成層の層面には、電位の異なる複数の導電パターンが間隙を介して配設されていると共に、それら導電パターンと電氣的に接続されていない浮遊ダミーパターンが設けられており、その浮遊ダミーパターンは、同一層面上の上記電位の異なる導電パターン間の位置であって、かつ、別の導電パターン形成層に形成されている導電パターンあるいは浮遊ダミーパターンに重なり合う位置に配置形成されていることを特徴とする電子部品。

## 【請求項 2】

浮遊ダミーパターンに重なり合う他の全ての導電パターン形成層の部位には、それぞれ、導電パターンあるいは浮遊ダミーパターンが形成されていることを特徴とする請求項 1 記載の電子部品。

## 【請求項 3】

同じ導電パターン形成層に配設されている複数の導電パターンと浮遊ダミーパターンは、同じ導電材料で形成され、かつ、同一工程で作製されたパターンであることを特徴とする請求項 1 又は請求項 2 記載の電子部品。

## 【請求項 4】

導電パターン形成層と絶縁層が交互に積層形成されて成る積層部の積層上下両側には、それぞれ、基板が接合配置されていることを特徴とする請求項 1 又は請求項 2 又は請求項 3 記載の電子部品。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、複数の導電パターン形成層が絶縁層を介しながら積層形成されている構成を備えた電子部品に関するものである。

## 【背景技術】

## 【0002】

図 5 (a) には電子部品の 1 構成例が模式的な断面図により示されている。この電子部品 1 は、基板 2 と、基板 2 上に絶縁層 3 と導電パターン 4 の形成層とが交互に積層形成されて成る積層部 5 と、この積層部 5 の積層上側に接合される基板 6 とを有して構成されている。

## 【0003】

## 【特許文献 1】特開平 9 - 289128 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

図 5 (a) の電子部品 1 は次に示すように製造することができる。例えば、基板 2 の上面に、スパッタリングや蒸着や、スクリーン印刷等の成膜形成技術を用いて絶縁層 3 を積層形成し、その絶縁層 3 の上側に導電パターン 4 を積層形成する。そして、その上側に絶縁層 3 を積層形成するという如く、絶縁層 3 と導電パターン 4 の形成層とを交互に順次積層形成していき積層部 5 を形成していく。そして、積層部 5 の形成後に、その積層部 5 の上側に基板 6 を加圧しながら接合する。このようにして電子部品 1 を製造することができる。

## 【0005】

ところで、導電パターン 4 は、絶縁層 3 の上面全面に積層形成されるものではなく、絶縁層 3 の上面に部分的に積層形成されるものであることから、その導電パターン 4 の形成層の上側に絶縁層 3 を積層形成した際に、当該絶縁層 3 の上面は、導電パターン 4 の形成領域に積層形成された部分と、導電パターン 4 が形成されていない領域に積層形成された部分とで、高さ位置が異なることとなり、凹凸の有る面となっている。

10

20

30

40

50

## 【0006】

そのような絶縁層3と導電パターン4が交互に積層形成されて成る積層部5の上面は、図5(b)のモデル断面図に示されるように、凹凸の有る面となる。積層部5と基板6の接合工程では、その積層部5の凹凸の有る面上に基板6を配置し、基板6を積層部5に押し付けながら積層部5と基板6の接合が行われる。このとき、基板6側からの押圧力は積層部5の全体に均等に加わることが望ましいが、積層部5の上面の凹凸のために、基板6側からの押圧力は、積層部5の凸部形成部分に集中して加えられることとなる。これにより、次に示すような問題が発生する。

## 【0007】

つまり、基板6側から積層部5の凸部形成部分に加えられた力Fの一部は、図5(b)の矢印fに示されるように、基板6側からの力を直接的に受けない積層部5の凹部形成側に逃げる。そのような力fが互いに対向し合う方向から加えられる部分では、それら互いに対向し合う方向からの力fの印加によって、図5(b)の矢印Uに示されるような上向きの力が発生する。この力Uのために、例えば絶縁層3が導電パターン4から剥がれるというような層間剥離が生じたり、層間密着性が弱くなるというような問題が生じる。層間剥離や層間密着性の劣化は、電子部品1の電気的特性に悪影響を与えるものであり、電子部品1の電気的特性の劣化を招く。

## 【0008】

また、電子部品1は小型化の傾向にあり、電子部品1の小型化に伴って、同一層面上に配置されている導電パターン4A、4B間の間隙は狭くなってきている。このため、それら導電パターン4A、4Bの電位がそれぞれ異なると、当該導電パターン4A、4B間の領域で層間密着性の劣化や層間剥離が生じたときに、導電パターン4A、4B間にマイグレーションが発生し易くなり、電子部品1の電気的特性の悪化が懸念され、電子部品1の電気的な性能の信頼性低下を招く虞があった。

## 【0009】

本発明は上記課題を解決するために成されたものであり、その目的は、電気的特性に対する信頼性を向上できる電子部品を提供することにある。

## 【課題を解決するための手段】

## 【0010】

上記目的を達成するために、この発明は次に示す構成をもって前記課題を解決するための手段としている。すなわち、この発明は、複数の導電パターン形成層が絶縁層を介しながら積層形成され加圧されて成る積層部を備えた電子部品であって、少なくとも1つの導電パターン形成層の層面には、電位の異なる複数の導電パターンが間隙を介して配設されていると共に、それら導電パターンと電気的に接続されていない浮遊ダミーパターンが設けられており、その浮遊ダミーパターンは、同一層面上の上記電位の異なる導電パターン間の位置であって、かつ、別の導電パターン形成層に形成されている導電パターンあるいは浮遊ダミーパターンに重なり合う位置に配置形成されていることを特徴としている。

## 【0011】

また、この発明は、浮遊ダミーパターンに重なり合う他の全ての導電パターン形成層の部位には、それぞれ、導電パターンあるいは浮遊ダミーパターンが形成されていることや、同じ導電パターン形成層に配設されている複数の導電パターンと浮遊ダミーパターンは、同じ導電材料で形成され、かつ、同一工程で作製されたパターンであることや、導電パターン形成層と絶縁層が交互に積層形成されて成る積層部の積層上下両側には、それぞれ、基板が接合配置されていることをも特徴としている。

## 【発明の効果】

## 【0012】

この発明によれば、少なくとも1つの導電パターン形成層には、導電パターンに電気的に接続されていない浮遊ダミーパターンが設けられ、その浮遊ダミーパターンは、同じ導電パターン形成層の層面上で間隔を介し配置されている電位の異なる導電パターン間の位置であって、かつ、別の導電パターン形成層に形成されている導電パターンあるいは浮遊

10

20

30

40

50

ダミーパターンに重なり合う位置に配設される構成とした。例えば、導電パターン間に浮遊ダミーパターンが設けられていない場合には、その導電パターンの形成層の上側に積層形成される絶縁層は、その導電パターン間の間隙位置で落ち込んで凹部が形成される。これに対して、導電パターン間に浮遊ダミーパターンを設けることにより、そのような絶縁層の落ち込みを抑制することができて、絶縁層の凹凸を緩和することができる。このため、絶縁層と導電パターン形成層とが交互に積層形成されて成る積層部の上面の凹凸を小さく抑制できる。これにより、積層部を加圧するとき、積層部への加圧力の均等化を図ることができて、加圧力不均等に起因した層間剥離の問題を防止することができる。このため、層間剥離に起因した電子部品の電気的特性の劣化を防止できる。

【0013】

10

また、積層部への加圧力の不均等に起因して、電位差の有る導電パターン間に、層間密着性が弱い部分が生じたり、層間剥離が生じると、マイグレーションが発生する確率が非常に高くなる。これに対して、この発明では、そのような電位差の有る導電パターン間に浮遊ダミーパターンを設けて、前記の如く、積層部への加圧力の均等化を図ることができ、電位差の有る導電パターン間における層間密着性を良好な状態とすることができて、マイグレーションの発生を回避できる。これによりマイグレーションに起因した電子部品の電気的特性の劣化を抑制することができて、電子部品の信頼性を向上させることができる。

【0014】

20

さらに、浮遊ダミーパターンに重なり合う他の全ての導電パターン形成層の部位には、それぞれ、導電パターンあるいは浮遊ダミーパターンが形成されている構成を備えることによって、積層部の上面の凹凸をより一層小さく抑制することができて、前記したような層間剥離の問題をより確実に防止することができる。

【0015】

同じ導電パターン形成層に形成されている複数の導電パターンと浮遊ダミーパターンは、同じ導電材料で形成され、また、同一工程で作製されたパターンである構成とすることによって、浮遊ダミーパターンを設ける構成としても、製造工程の増加を回避することができて、製造コスト上昇を抑えることができる。さらに、積層部の積層上下両側には、それぞれ、基板が接合配置されている構成とすることにより、基板により電子部品の強度を強めることが容易となる。

30

【発明を実施するための最良の形態】

【0016】

以下に、この発明に係る実施形態例を図面に基づいて説明する。

【0017】

図1には第1実施形態例の電子部品が模式的な分解図により示され、図2(a)には第1実施形態例の電子部品の一外観例が模式的な斜視図により示され、図2(b)には図1に示すA-A部分の模式的な断面図が示され、図2(c)には図1に示すB-B部分の模式的な断面図が示されている。

【0018】

この電子部品1は、基板2と、この基板2上に絶縁層3と導電パターン4の形成層とが交互に積層形成されて成る積層部5と、この積層部5の上側に接合される基板6と、外部接続用電極7、8とを有すると共に、浮遊ダミーパターン10と、ダミー端子パターン11とを有して構成されている。

40

【0019】

この第1実施形態例では、基板2、6は両方共に同じ材料により構成されており、磁性体基板と誘電体基板と絶縁基板の中から予め選択された基板により構成されている。また、この第1実施形態例では、2つのコイル形状（渦巻き形状）の導電パターン4A、4Bが互いに間隔を介し並設されて導電パターン形成層を構成しており、積層部5には、そのような2層の導電パターン形成層が絶縁層3を介して積層配置されている。各導電パターン形成層にそれぞれ形成され積層方向に隣り合っている導電パターン4A同士は、導電パ

50

ターン形成層間の絶縁層 3 (3 B) に形成されているビアホール 1 2 (1 2 A) によって直列に接続されて一つのコイルを形成している。このコイルの一端側 (積層下側の導電パターン 4 A の端部 T a) は外部接続用電極 7 A に接続され、当該コイルの他端側 (積層上側の導電パターン 4 A の端部 T b) は外部接続用電極 7 B に接続されており、2 つの導電パターン 4 A から成るコイルは、外部接続用電極 7 (7 A, 7 B) を介して外部と電氣的に接続することが可能となっている。

#### 【0020】

また、各導電パターン形成層にそれぞれ形成され積層方向に隣り合っている導電パターン 4 B 同士に関しても、導電パターン 4 A 同士と同様に、絶縁層 3 B に形成されているビアホール 1 2 (1 2 B) によって直列に接続されて一つのコイルを形成している。このコイルの一端側 (積層上側の導電パターン 4 B の端部 T c) は外部接続用電極 8 A に接続され、当該コイルの他端側 (積層下側の導電パターン 4 B の端部 T d) は外部接続用電極 8 B に接続されており、2 つの導電パターン 4 B から成るコイルは、外部接続用電極 8 (8 A, 8 B) を介して外部と電氣的に接続することが可能となっている。

10

#### 【0021】

この第 1 実施形態例では、導電パターン 4 A から成るコイルと、導電パターン 4 B から成るコイルとは、それぞれ、互いに逆極性の電圧、あるいは、同じ極性の互いに異なる電圧が外部から外部接続用電極 7, 8 を通して印加されるものとなっており、導電パターン 4 A と、導電パターン 4 B とは、互いに電位が異なるものである。

#### 【0022】

浮遊ダミーパターン 1 0 は導電パターン 4 (4 A, 4 B) に接続されておらず電氣的に浮いているものである。当該浮遊ダミーパターン 1 0 は、同じ導電パターン形成層に形成されている上記電位の異なる導電パターン 4 A, 4 B 間の間隙位置であって、かつ、図 2 (c) のモデル断面図に示されるように、この第 1 実施形態例では、別の導電パターン形成層に形成されている浮遊ダミーパターン 1 0 に重なり合う位置に配設されている。浮遊ダミーパターン 1 0 の積層配置によって、導電パターン 4 A, 4 B 間の間隙における絶縁層 3 の落ち込みを抑制することができる。

20

#### 【0023】

ダミー端子パターン 1 1 (1 1 a~1 1 d) は、外部接続用電極 7, 8 に接続している導電パターン 4 の端部 T a~T d に重なり合う位置にそれぞれ形成されている。つまり、ダミー端子パターン 1 1 a は、図 2 (b) のモデル断面図に示されるように、外部接続用電極 7 A に接続されている積層下側の導電パターン 4 A の端部 T a に重なり合う位置に配置され、ダミー端子パターン 1 1 b は、外部接続用電極 7 B に接続されている積層上側の導電パターン 4 A の端部 T b に重なり合う位置に配置されている。また同様に、ダミー端子パターン 1 1 c は、外部接続用電極 8 A に接続されている積層上側の導電パターン 4 B の端部 T c に重なり合う位置に配置され、ダミー端子パターン 1 1 d は、外部接続用電極 8 B に接続されている積層下側の導電パターン 4 B の端部 T d に重なり合う位置に配置されている。

30

#### 【0024】

このようなダミー端子パターン 1 1 を設けることによって、導電パターン 4 の端部 T a~T d の形成部分における絶縁層 3 の落ち込みを抑制することができ、積層部 5 の上面の平坦化に寄与することができ、また、外部接続用電極 7, 8 のオープン不良等の不具合を防止することができる。なお、ダミー端子パターン 1 1 は、外部接続用電極 7, 8 に接続されており、電圧が印加するものであることから、電氣的に浮いたものではなく、この点が浮遊ダミーパターン 1 0 と大きく異なっている。また、ダミー端子パターン 1 1 a, 1 1 b は、同一層面上で間隔を介して隣り合っている導電パターン 4 A と同様に外部接続用電極 7 (7 A, 7 B) に接続されており、ダミー端子パターン 1 1 a, 1 1 b と、導電パターン 4 A との間に電位差は生じない。さらに、ダミー端子パターン 1 1 c, 1 1 d は、同一層面上で間隔を介して隣り合っている導電パターン 4 B と同様に外部接続用電極 8 (8 A, 8 B) に接続されており、ダミー端子パターン 1 1 c, 1 1 d と、導電パターン

40

50

4 Bとの間に電位差は生じない。

【0025】

この第1実施形態例に示す電子部品1は上記のように構成されている。以下に、この第1実施形態例の電子部品1の製造工程の一例を説明する。まず、基板2を用意し、この基板2の上面全面に絶縁層3(3A)を積層形成する。絶縁層3の構成材料の例を挙げると、例えば、ポリイミド樹脂やエポキシ樹脂やベンゾシクロブテン樹脂等の樹脂材料や、SiO<sub>2</sub>等のガラス材料や、ガラスセラミックスや、誘電体等がある。なお、基板2上に絶縁層3(3A)を積層形成する前に、基板2の上面を例えば研磨加工して基板2の表面粗さRaを例えば0.5μm以下とすることが好ましい。そのように基板2の表面を研磨して平滑化を図ることにより、基板2の上面上に積層形成されていく絶縁層3や、導電パターン4等に、基板表面粗さの悪影響が及ぶことを防止できる。 10

【0026】

絶縁層3Aの上側には、導電パターン4(4A, 4B)と浮遊ダミーパターン10(10A)とダミー端子パターン11(11b, 11c)を積層形成して、積層下側の導電パターン形成層を作製する。それらパターン4, 10, 11は、例えば、フォトリソグラフィ技術を利用して次に示すように形作ることができる。

【0027】

例えば、絶縁層3Aの上面全面に成膜技術(例えば、スパッタリングや蒸着等の薄膜形成技術や、スクリーン印刷等の厚膜形成技術)を利用して導体膜を積層形成する。その導体膜は、パターンを構成する導電材料の膜であり、その導電材料の例としては、例えば、導電性に優れたAg、Pd、Cu、Al等の金属や、それら金属を2つ以上含んだ合金等が挙げられる。ところで、絶縁層3を構成する絶縁材料と、パターン4, 10, 11を形成する導電材料とは、それぞれ、加工性が考慮されると共に、絶縁層3とパターン4, 10, 11との密着性が考慮されて選択設定されることが好ましい。 20

【0028】

導体膜の形成後には、その導体膜の上面全面にレジスト膜を積層形成し、そのレジスト膜の上方側にパターン形成用のマスクを配置する。そして、そのマスクを通して、パターン4, 10, 11の形成領域のレジスト膜部分に紫外線等の光を照射して当該レジスト膜部分を光硬化させる。然る後に、現像処理によって未硬化なレジスト膜部分を除去する。これにより、パターン4, 10, 11の形成領域だけにレジスト膜が形成された状態となる。その後、レジスト膜が形成されていない導体膜部分を例えばエッチング等により除去して、パターン4, 10, 11を形作る。そして、パターン4, 10, 11上のレジスト膜を除去する。このようなフォトリソグラフィ技術によって、パターン4, 10, 11から成る導電パターン形成層を作製することができる。 30

【0029】

この導電パターン形成層の形成後には、その導電パターン形成層の上側に絶縁層3(3B)を積層形成する。この絶縁層3(3B)にはビアホール12(12A, 12B)を次に示すようなフォトリソグラフィ技術を利用して設けることができる。例えば、導電パターン形成層の上側に、感光性絶縁材料から成る絶縁層3(3B)を積層形成する。その絶縁層3Bの上方側にビアホール形成用のマスクを配置し、このマスクを通して、ビアホール形成領域以外の部分に紫外線等の光を照射して光硬化させる。その後、未硬化な絶縁層部分だけを現像処理により除去する。これにより、絶縁層3(3B)にビアホール形成用の孔部が形成される。 40

【0030】

絶縁層3(3B)の形成後には、例えば上記同様のフォトリソグラフィ技術を利用して、導電パターン4(4A, 4B)と浮遊ダミーパターン10(10B)とダミー端子パターン11(11a, 11d)を形成して、絶縁層3Bの上側に導電パターン形成層を積層形成する。なお、それらパターン4, 10, 11を構成する導電材料の一部が絶縁層3Bのビアホール形成用の孔部内に入り込んでビアホール12(12A, 12B)が完成する。

## 【0031】

その導電パターン形成層の形成後には、その上側に絶縁層3（3C）を積層形成する。このようにして、基板2上には、絶縁層3と導電パターン形成層の積層部5が積層形成される。この積層部5の上側には基板6を接合する。この接合工程では、例えば、積層部5と基板6の互いに対向し合う面（つまり、積層部5の上面と、基板6の裏面）に、それぞれ、熱硬化性のポリイミド樹脂等の接着剤を塗布した後に、積層部5の上面上に基板6を配置し、例えば、真空中あるいは不活性ガスの雰囲気中で、基板6を積層部5に相対的に押し付けた状態で加熱して基板6と積層部5を接合させる。そして、冷却後に、その加圧状態を解除する。

## 【0032】

ところで、ここまでの工程は、各電子部品1毎に行ってもよいが、製造効率を向上させるために、親基板の状態のままの基板2上に積層部5を積層形成し、この積層部5の上側に親基板の状態のままの基板6を接合一体化して、多数の電子部品1を同時に作製することが多い。このような場合には、基板2、6と積層部5の積層体を形成した後に、その積層体を各電子部品1の境界線に沿って切断して各電子部品1毎に分離分割する。

## 【0033】

然る後に、各電子部品1毎に、電子部品1の側面に外部接続用電極7、8を形成する。この外部接続用電極7、8は、例えば、Ag、Ag-Pd、Cu、NiCr、NiCu等の導電材料を含む導電性ペーストの塗布や、スパッタリングや蒸着等の成膜技術により電子部品1の側面に下地電極を形成した後に、その下地電極上に、例えば湿式電解メッキによりNi、Sn、Sn-Pb等の金属膜を形成して作製することができる。

## 【0034】

このようにして、電子部品1を製造することができる。

## 【0035】

以下に、第2実施形態例を説明する。なお、この第2実施形態例の説明において、第1実施形態例と同一構成部分には同一符号を付し、その共通部分の重複説明は省略する。

## 【0036】

この第2実施形態例の電子部品1は、コモンモードチョークコイル部品であり、図3（a）の模式的な斜視図に示されるような外観形状を有し、また、図3（b）の模式的な分解図に示されるように、基板2と、この基板2上に積層形成される積層部5と、積層部5上に積層形成される基板6と、外部接続用電極7、8とを有して構成されている。

## 【0037】

この第2実施形態例では、基板2、6はそれぞれ磁性体により構成されている。また、積層部5は、絶縁層3Aと、導電パターン4Aaが形成されている第1の導電パターン形成層と、絶縁層3Bと、導電パターン4Abが形成されている第2の導電パターン形成層と、絶縁層3Cと、導電パターン4Baが形成されている第3の導電パターン形成層と、絶縁層3Dと、導電パターン4Bbが形成されている第4の導電パターン形成層と、絶縁層3Eとが順次積層形成されている構成を備えている。

## 【0038】

導電パターン4Aa、4Ab、4Ba、4Bbは、それぞれ、渦巻き形状と成している。導電パターン4Aa、4Abは、絶縁層3Bを介して積層配置されており、これら各導電パターン4Aa、4Abの一端側は両方共に外部接続用電極7Aに接続され、また、各導電パターン4Aa、4Abの他端側は両方共に外部接続用電極7Bに接続されており、導電パターン4Aa、4Abは、並列接続されている。これら並列接続されている導電パターン4Aa、4Abは、コモンモードチョークコイルの例えば一次コイルを構成しており、当該一次コイルは、外部接続用電極7A、7Bを介して外部と接続することができる。

## 【0039】

なお、導電パターン4Aa、4Abの渦巻き内側端部同士は、絶縁層3Bに形成されたビアホール12を介して電氣的に接続されている。また、導電パターン4Aaの一端側から他端側に至るまでの途中部位には、絶縁層3Bのビアホール12を介して導電パターン4

10

20

30

40

50

A bと電氣的に接続されて導電パターン 4 A bの通電電流をも導通する区間がある。

#### 【0040】

導電パターン 4 B a, 4 B bに関しても、導電パターン 4 A a, 4 A bと同様であり、各導電パターン 4 B a, 4 B bの一端側同士は共に外部接続用電極 8 Aに接続され、各導電パターン 4 B a, 4 B bの他端側同士は共に外部接続用電極 8 Bに接続されており、導電パターン 4 B a, 4 B bは並列接続されている。これら並列接続されている導電パターン 4 B a, 4 B bは、コモンモードチョークコイルの例えば二次コイルを構成しており、当該二次コイルは外部接続用電極 8 A, 8 Bを介して外部と接続することができる。コモンモードチョークコイルの一次コイルと二次コイルには、それぞれ、異なる電位の電流が通電される。

10

#### 【0041】

この第2実施形態例では、導電パターン 4 B aが形成されている第3の導電パターン形成層と、導電パターン 4 B bが形成されている第4の導電パターン形成層とには、それぞれ、ダミー端子パターン 1 1 (1 1 a, 1 1 b) が形成されている。図 4 (a) のモデル断面図に示されるように、ダミー端子パターン 1 1 aは、導電パターン 4 A a, 4 A bの端部 T aに重なり合う位置に配置されており、当該ダミー端子パターン 1 1 aは外部接続用電極 7 Aに電氣的に接続されて電流が通電する導電パターンと成している。また、ダミー端子パターン 1 1 bは、導電パターン 4 A a, 4 A bの端部 T bに重なり合う位置に配置されており、当該ダミー端子パターン 1 1 bは外部接続用電極 7 Bに電氣的に接続されて電流が通電する導電パターンと成している。ダミー端子パターン 1 1 aは、導電パターン 4 A a, 4 A bの端部 T aの形成部分の絶縁層 3の落ち込みを防止するためのものであり、同様にダミー端子パターン 1 1 bは、導電パターン 4 A a, 4 A bの端部 T bの形成部分の絶縁層 3の落ち込みを防止するためのものである。

20

#### 【0042】

この第2実施形態例では、上記のように、ダミー端子パターン 1 1 a, 1 1 bは、それぞれ、外部接続用電極 7 A, 7 Bに電氣的に接続されており、また、それらダミー端子パターン 1 1 (1 1 a, 1 1 b) と同一層面上で間隔を介して隣り合っている導電パターン 4 (4 B a, 4 B b) は、外部接続用電極 8 A, 8 Bに電氣的に接続されていることから、それらダミー端子パターン 1 1 (1 1 a, 1 1 b) と、導電パターン 4 (4 B a, 4 B b) との間には電位差が生じる。この第2実施形態例では、その電位差が生じるダミー端子パターン 1 1と導電パターン 4との間の位置に、浮遊ダミーパターン 1 0 (1 0 a, 1 0 b) が配設されている。この浮遊ダミーパターン 1 0は、ダミー端子パターン 1 1と導電パターン 4の何れの導電パターンにも電氣的に接続されておらず、電氣的に浮いているものである。また、この浮遊ダミーパターン 1 0 (1 0 a, 1 0 b) は、電位の異なるダミー端子パターン 1 1と導電パターン 4間の位置に設けるという条件だけではなく、この第2実施形態例では、図 4 (a) に示されるように、別の導電パターン形成層に形成されている浮遊ダミーパターン 1 0あるいは導電パターン (この例では、導電パターン 4 A a, 4 A bの端部 T a, T b) に重なり合う位置という条件をも満たす位置に配置されている。

30

#### 【0043】

さらに、この第2実施形態例では、導電パターン 4 A aが形成されている第1の導電パターン形成層と、導電パターン 4 A bが形成されている第2の導電パターン形成層とには、それぞれ、ダミー端子パターン 1 1 (1 1 c, 1 1 d) が形成されている。図 4 (b) のモデル断面図に示されるように、ダミー端子パターン 1 1 cは、導電パターン 4 B a, 4 B bの端部 T cに重なり合う位置に配置されており、当該ダミー端子パターン 1 1 cは外部接続用電極 8 Aに電氣的に接続されている。また、ダミー端子パターン 1 1 dは、導電パターン 4 B a, 4 B bの端部 T dに重なり合う位置に配置されており、当該ダミー端子パターン 1 1 dは外部接続用電極 8 Bに電氣的に接続されている。ダミー端子パターン 1 1 cは、導電パターン 4 B a, 4 B bの端部 T cの形成部分の絶縁層 3の落ち込みを防止するためのものであり、同様にダミー端子パターン 1 1 dは、導電パターン 4 B a, 4 B bの端部 T dの形成部分の絶縁層 3の落ち込みを防止するためのものである。

40

50



## 【0044】

第1と第2の各導電パターン形成層にも、第3と第4の各導電パターン形成層と同様に、それぞれ、電氣的に浮いている浮遊ダミーパターン10（10c, 10d）が、図4（b）に示されるように、電位差の生じるダミー端子パターン11（11c, 11d）と導電パターン4（4Aa, 4Ab）との間の位置であって、かつ、別の導電パターン形成層の浮遊ダミーパターン10あるいは導電パターン（図の例では、導電パターン4Ba, 4Bbの端部Tc, Td）と重なり合う位置に配設されている。

## 【0045】

この第2実施形態例に示した電子部品1においても、第1実施形態例に示した電子部品1の製造工程と同様の製造工程でもって、作製することができる。つまり、フォトリソグラフィ技術を利用して、位置精度よく、かつ、高精度に、導電パターン4と浮遊ダミーパターン10とダミー端子パターン11を形成することができ、また、絶縁層3にビアホール12を設けることができる。

10

## 【0046】

なお、この発明は第1や第2の各実施形態例に限定されるものではなく、様々な実施の形態を採り得る。例えば、第1と第2の各実施形態例では、導電パターン4は渦巻き形状（コイル形状）と成していたが、もちろん、本発明が適用される電子部品の導電パターンの形状は限定されるものではなく、例えば、インダクタを構成するためのミアンダ形状や、コンデンサを形成するための四角形状や円形状等のコイル形状以外の形状の導電パターンを有する電子部品にも本発明は適用することができる。

20

## 【0047】

また、第1実施形態例では、導電パターン形成層は2層設けられ、また、第2の実施形態例では、導電パターン形成層は4層設けられていたが、導電パターン形成層の層数は2層以上であれば、限定されるものではなく、仕様等に応じて適宜設定されるものである。

## 【0048】

さらに、第1と第2の各実施形態例では、浮遊ダミーパターン10は、同一層面上で並設されている電位の異なる導電パターン間の位置であって、かつ、別の導電パターン形成層に形成されている導電パターンあるいは浮遊ダミーパターンに重なり合う位置に配置されていたが、例えば、導電パターンが1つだけしか形成されていない導電パターン形成層や、同じ電位の複数の導電パターンのみしか形成されていない導電パターン形成層が積層部5に含まれている場合には、それら導電パターン形成層にも、浮遊ダミーパターン10を設けてもよいものである。

30

## 【0049】

さらに、第1と第2の各実施形態例では、浮遊ダミーパターン10に重なり合う他の全ての導電パターン形成層の部位には、導電パターン4あるいは浮遊ダミーパターン10が形成されていたが、浮遊ダミーパターン10に重なり合う他の全ての導電パターン形成層の中から選択された導電パターン形成層だけに導電パターン4あるいは浮遊ダミーパターン10が形成されている構成であってもよい。

## 【図面の簡単な説明】

## 【0050】

40

【図1】第1実施形態例の電子部品を模式的に表した分解図である。

【図2】第1実施形態例の電子部品の特徴的な構成を説明するためのモデル図である。

【図3】第2実施形態例の電子部品であるコモンモードチョークコイルを説明するための図である。

【図4】第2実施形態例の電子部品の特有な構成部分を説明するための模式的な断面図である。

【図5】従来の問題点を説明するための図である。

## 【符号の説明】

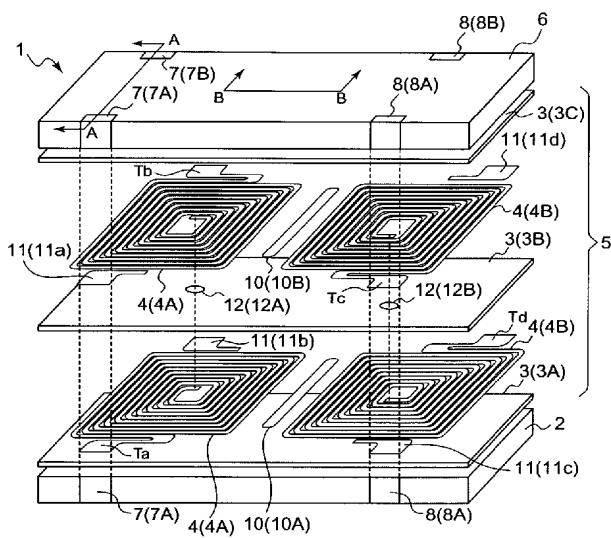
## 【0051】

1 電子部品

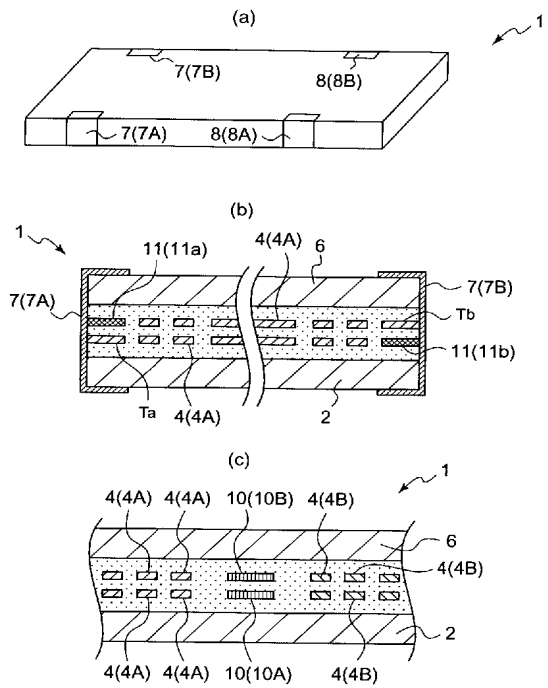
50

- 2, 6 基板  
 4 導電パターン  
 5 積層部  
 10 浮遊ダミーパターン  
 11 ダミー端子パターン

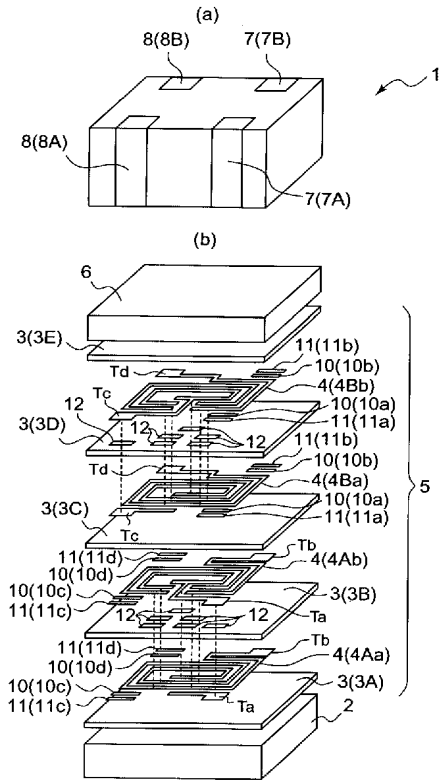
【図 1】



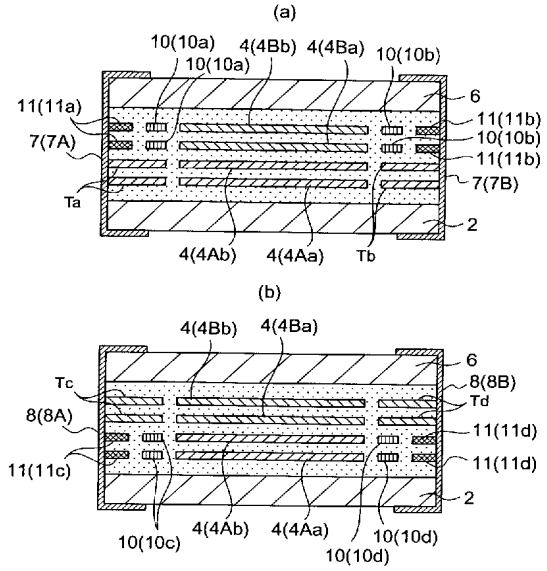
【図 2】



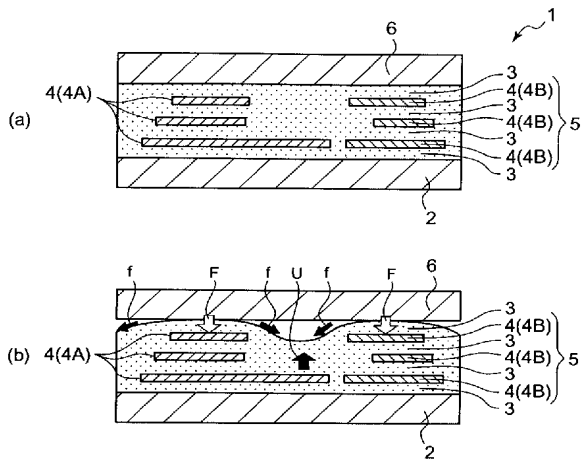
【図 3】



【図 4】



【図 5】



**PAT-NO:** JP02006041184A  
**DOCUMENT-IDENTIFIER:** JP 2006041184 A  
**TITLE:** ELECTRONIC COMPONENT  
**PUBN-DATE:** February 9, 2006

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
MATSUNAGA, MINORU	N/A

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
MURATA MFG CO LTD	N/A

**APPL-NO:** JP2004218917  
**APPL-DATE:** July 27, 2004

**INT-CL-ISSUED:**

<b>TYPE</b>	<b>IPC DATE</b>	<b>IPC-OLD</b>
IPCP	H01F17/00	20060101 H01F017/00

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To improve the reliability of an electronic component 1 for electric characteristics.

**SOLUTION:** The electronic component 1 is provided with a laminated section 5 formed by laminating a plurality of forming layers

of conductive patterns 4 upon another through insulating layers 3 and pressurizing the laminate. In the component 1, a plurality of conductive patterns 4A and 4B having different potentials are arranged through an insulating clearance on the surface of at least one conductive pattern forming layer and, at the same time, a floating dummy pattern 10 is provided which is not connected electrically to the conductive patterns 4A and 4B. The floating dummy pattern 10 is positioned between the conductive patterns 4A and 4B formed on the surface of one conductive pattern forming layer and having different potentials and, in addition, so that the pattern 10 may overlap a floating dummy pattern 10 or conductive pattern formed on another conductive pattern forming layer.

COPYRIGHT: (C)2006,JPO&NCIP